

PUBLICATION NUMBER : 59029454
PUBLICATION DATE : 16-02-84

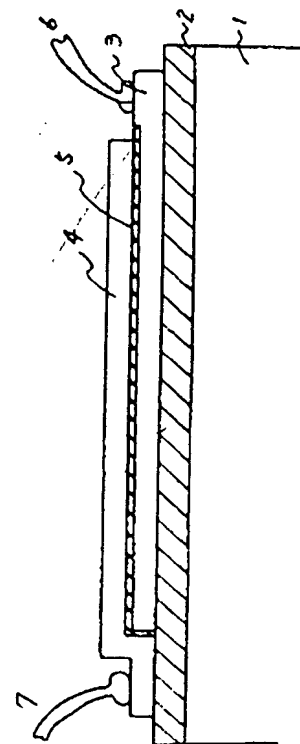
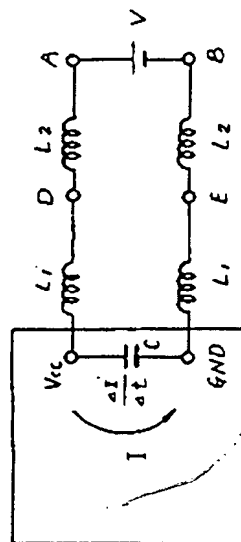
APPLICATION DATE : 11-08-82
APPLICATION NUMBER : 57139372

APPLICANT : NEC CORP;

INVENTOR : ITO SOICHI;

INT.CL. : H01L 29/40 H01L 27/08

TITLE : INTEGRATED CIRCUIT DEVICE



ABSTRACT : PURPOSE: To supply an electrically stable IC by reducing even the noises of supply voltage due to inductance formed in a bonding wire in a logic type integrated circuit with a large number of output buffer circuits.

CONSTITUTION: A signal line for constituting the logic IC is formed onto a silicon substrate 1, and a plasma nitride film 2 is formed in order to insulate and isolate a signal wiring and supply wirings 3, 4. One supply wiring 3 is formed to approximately the whole surface of the IC with Al on the insulating film 2, an Al_2O_3 film 5 is formed to the surface through an anodic oxidation method, and the other supply wiring 4 is formed to approximately the whole surface of the IC. Consequently, a capacitor C is set up between a supply terminal VCC on the IC and a GND, and the capacitor C feeds charges required for a current change in the IC, and reduces current changes in inductances L_1 , L_2 . Accordingly, the supply terminal VCC in the IC and the GND are supplied with stable potential of small noises. Voltage noises are reduced with the increase of the capacitance C because a voltage change of the capacitor C is $\Delta I \cdot \Delta t / C$.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59-29454

⑪ Int. Cl.³
H 01 L 29/40
27/08

識別記号

庁内整理番号
7638-5F
7925-5F

⑬ 公開 昭和59年(1984)2月16日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 集積回路装置

① 特 願 昭57-139372

② 出 願 昭57(1982)8月11日

⑦ 発 明 者 岡田賢治
東京都港区芝五丁目33番1号日
本電気株式会社内

⑧ 発 明 者 伊藤荘一

東京都港区芝五丁目33番1号日
本電気株式会社内

⑨ 出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

⑩ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

集積回路装置

2. 特許請求の範囲

装置に供給される少なくとも2つの電源配線が、
装置内部において論理を構成する為の信号配線と
別の層で多層に構成され、かつそれらの対向部分
がほぼ装置の全面を被っていることを特徴とする
集積回路装置。

3. 発明の詳細な説明

本発明は集積回路装置に関し、特に出力バッ
ファ回路を多数備えた論理型集積回路に関するもの
である。

近年集積回路(以下ICと記す)は、その集積
度が増大の一途をたどり、VLSIと呼ばれる超LS
Iが出現している。一般に論理ICは集積度が
増加すればするほど入出力端子数が増加する。従

来のICは入出力の数が多くて数十であったが、
最近の論理ICではゲート・アレイに代表される
様に入出力端子数が数百のものが出現するにいた
っている。ICの集積度が増加すると集積度が小
さい間は従来問題とならなかった点が新たに大き
な問題点となることがしばしばみられる。その問
題点の一つに入出力数の増加があげられる。特に
出力数が増加すると、それらの出力が同時に動作
したときに生ずるICに供給している電源のノイ
ズが大きくなりICが誤動作するという大きな問
題が生じてきている。この電源ノイズは、ICを
搭載するケースのリード線やICとケースを接続
するボンディング線につく寄生インダクタンス(L)
による。多数出力バッファ回路の同時動作時に生
ずる電源電流の時間的変化(dI/dt)により
電圧ノイズ($dV = L \cdot dI/dt$)が生じ、安
定した電源電圧がICに供給できなくなりICが
誤動作にいたる。この種の問題点をさける為に、
従来はケースの電源端子間に容量を付けて電圧ノ
イズを小さくすることが提案されている。しかし

この方法では、ケースのリードに付くインダクタンスによる電圧ノイズを軽減することができても、ケースとICを接続するボンディング線に付くインダクタンスによるノイズは避けられないという欠点を有していた。

従って本発明の目的は、前記ボンディング線につくインダクタンスによる電源電圧のノイズをも小さくし、電気的に安定したICを供給することにある。

本発明の構成は、ICに供給される少なくとも2つの電源配線が、IC内部において論理を構成する為の信号配線と別の層で多層に構成され、かつそれらの対向部分が、ほぼICの全面を被っていることを特徴としている。

以下図面を参照して本発明を詳細に説明する。第1図は、従来のICに電源を供給している部分の等価回路図で、A、BはICの電源端子、C、Dはケースのボンディングパッド、 V_{cc} 、GNDはICのボンディングパッドである。又、 L_1 はICとケースを接続しているボンディング線につ

は駆動作用に至りICの電気的的特性上大きな問題となっている。

第2図は、本発明の構成を等価回路に表わした図であり、第1図に加えて、IC上の電源端子 V_{cc} とGND間に容量Cが追加されている。この容量CがIC内の電流変化に要する電荷を供給し、インダクタンス L_1 、 L_2 内での電流変化を小さくし、結果として、IC内の電源端子 V_{cc} 、GNDには、ノイズの小さな安定した電位が供給されることになる。容量Cの電圧変化(ΔV_2)は $\Delta I \cdot \Delta t / C$ であるので、容量Cが大きい程、電圧ノイズは小さくなる。この大きい容量をIC内で構成したのが本発明の構成である。

第3図は、本発明の好ましい実施例を示す断面図の概略図である。シリコン基板1上に、論理ICを構成するための信号線を従来の2層配線技術で形成し(この部分は図では省略されている)、信号配線と電源配線3、4とを絶縁分離する為に厚さ $\sim 1.5 \mu m$ のプラズマETCH化膜2を形成した後、本発明の構成に入る。絶縁膜2上に一方の電源配

線(容量、 L_2 はケースのリードにつく容量、 V はICに供給している定電圧源を示している。IC内の出力バッファ回路が動作するとICを流れている電流Iが変化し Δt 時間に ΔI の電流変化が生じ、IC端子 V_{cc} 、GNDには $\pm(L_1 + L_2) \frac{\Delta I}{\Delta t}$ の電圧ノイズが生ずることになる。±の符号は端子 V_{cc} 、GNDで発生するノイズの方向が異なることを示す。つまり端子 V_{cc} は電位降下を、端子GNDは電位上昇となりICに供給される電源電圧は $V - 2(L_1 + L_2) \frac{\Delta I}{\Delta t}$ と小さくなる。一般に、 $L_1 + L_2$ の値は数nH \sim 数10nH、 $\Delta I / \Delta t$ は数mA \sim 数10mA / 数10nsecであり電圧ノイズ ΔV は数10mV \sim 数100mVとなる。ICの内部回路のノイズマージンもLSI化に従って小さくなっており、数10mV \sim 数100mVであり、前記 ΔV はICが駆動作用に十分なノイズとなっている。特に出力バッファ回路が多いLSIでは、その出力が同時に動作すると電流変化 $\Delta I / \Delta t$ が非常に大きくなり、ノイズ ΔV_1 がノイズマージンより大きくなりIC

線3をAとしてほぼIC全面に形成し、表面に開孔化形成法により厚さ $\sim 1000 \text{ \AA}$ の Al_2O_3 膜5を形成した後、他方の電源配線4をAとしてほぼIC全面に形成する。図中6、7は電源配線をIC外部に取り出す為のボンディング線であり、又電源配線はスルーホールとその下層にある信号線を介してICの素子に供給されていることは当然であるが本発明には直接関係がない為図では省略してある。電源配線3、4の対向面積は、LSIが大きくなればなる程大きくとれ、例えば 0.1 cm^2 のICの場合、その面積はほぼ $5 \text{ cm} \times 5 \text{ cm} = 25 \text{ cm}^2$ となる。本実施例の構成では、電源間につく容量Cは $C = 2.2 \times 10^{-8} \text{ F}$ (22000 pF)となる。一般にT²L論理回路の出力バッファ回路一個の動作時における電流変化は大きく突刺によると $\Delta I / \Delta t = 40 \text{ mA} / 5 \text{ nsec}$ であり、この回路が例えば10回路同時に動作すると、 $\Delta I / \Delta t = 400 \text{ mA} / 5 \text{ nsec}$ と非常に大きくなる。一方ボンディング線とケースリードにつくインダクタンスは約1.0nHであり、上記回路が動作したときに発生する電圧

ノイズ ΔV_1 は $\Delta V_1 \approx 10 \text{ nH} \times \frac{400 \text{ mA}}{5 \text{ nsec}} = 800 \text{ mV}$ となり IC のノイズマージンを大きく上回り IC は誤動作する。しかし、本発明の構成を用いると電源間の容量 C が効果を發揮し、ノイズは 100 mV 以下に出来た。近似的には、 22000 pF の容量の電圧変動 ΔV_2 が $\Delta V_2 = 400 \text{ mA} \times 5 \text{ nsec} / 22000 \text{ pF} \approx 90 \text{ mV}$ で押さえられることを意味している。

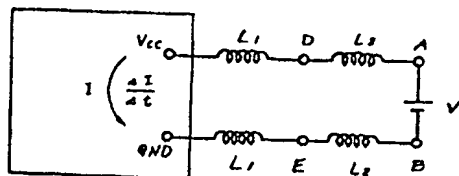
以上説明した様に、本発明の構成を用いれば、IC 内部で電源間に大きな容量が形成でき、電気的に安定した熱伝回路装置が得られる。本実施例では2つの電源を分離している絶縁膜に Al_2O_3 膜を用いているが、 SiO_2 や Si_3N_4 等でも良く、又絶縁膜の厚さは 1000 \AA にしたが、IC の歩留が許せば 500 \AA にまで薄くしてさらに電気的に安定を得ることもでき、ことは明らかであり、本発明の権利は、特許請求の範囲に記載した内容のすべての半導体熱伝回路装置に及ぶ。

第1図は従来の IC の電源供給部の等価回路図、第2図は本発明の IC の電源供給部の等価回路図、第3図は本発明の好ましい実施例を示す断面図である。

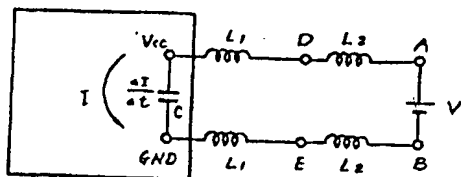
L_1 …… IC とケースを結ぶボンディング線につくインダクタンス、 L_2 …… ケースのリードにつくインダクタンス、A, B …… IC の電源端子、D, E …… ケースのボンディングパッド、 V_{cc} , GND …… IC 内部の電源用ボンディングパッド、V …… IC に供給する定電圧源、C …… 電源間に形成した容量、 dI/dt …… IC 内部の電流の時間的変化、1 …… シリコン基板、2 …… 絶縁膜、3, 4 …… 電源配線、5 …… 電源間の両側絶縁膜、6, 7 …… 電源用のボンディング線。

代理人 弁理士 内 原 精

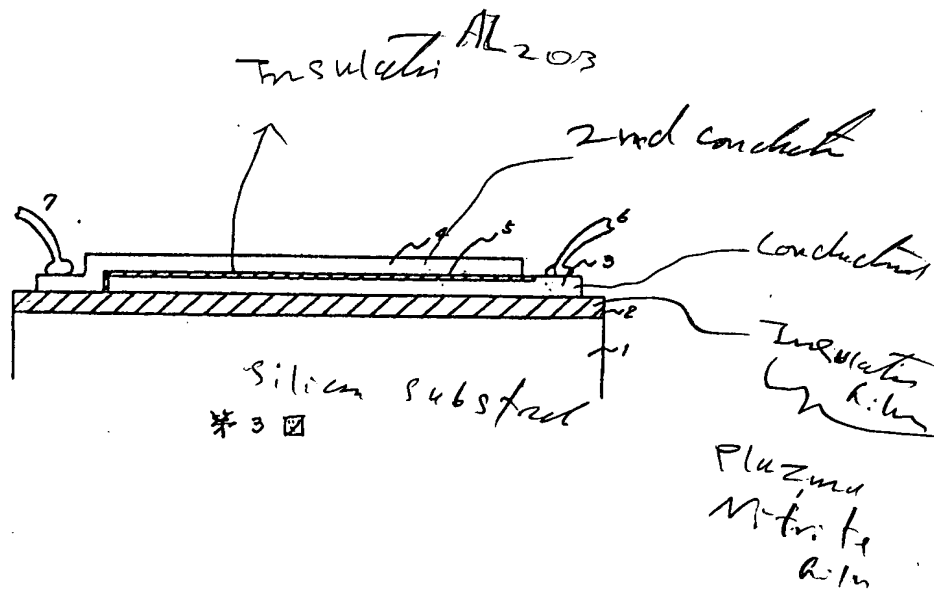
4. 図面の簡単な説明



第1図



第2図



第3図